

## 明細書

## 半導体集積回路装置

## 技術分野

[0001] 本発明は、入力されたシリアルデータをパラレルデータに変換するシフトレジスタを構成する半導体集積回路装置に関するもので、特に、複数のシフトレジスタを備えた半導体集積回路装置に関するものである。

## 背景技術

[0002] 従来より、プリンタヘッドドライバなどにおいて、各ビット毎のデータがシリアルデータとして入力されて格納するシフトレジスタが設置される。このシフトレジスタでは、入力されたシリアルデータを各ビット毎に分割してパラレルデータに変換してラッチ回路に与える。そして、ラッチ回路に格納された各ビットのデータは、各ビット毎に設定された所定のタイミング毎にラッチ回路からドライブ回路に出力され、発熱抵抗や発光素子に電流供給を行う。

[0003] このような従来のプリンタヘッドドライバを備えた印字装置として、複数の発熱素子を複数のブロックに区分して、各ブロックの発熱素子数と同一ビット数の複数のシフトレジスタを備えた印字装置が提供されている(特許文献1参照)。この印字装置において、ブロック毎のデータを各シフトレジスタに格納し、各シフトレジスタの駆動タイミングを異なるタイミングとすることで、データ出力するシフトレジスタとデータ入力するシフトレジスタとを別のシフトレジスタとすることでき、印画動作の高速化を図ることができる。

[0004] このように、ブロック毎にシフトレジスタが設けられるとき、複数のシフトレジスタが半導体集積回路装置に構成される。即ち、図8のように、フリップフロップFF1～FF64により構成される64ビットのシフトレジスタSRXと、フリップフロップFF65～FF128により構成される64ビットのシフトレジスタSRYとが、1つの半導体集積回路装置100内に構成される。このとき、半導体集積回路装置100には、シフトレジスタSRXへのシリアルデータが入力される入力端子SI1と、クロックが入力されるクロック入力端子CLKと、シフトレジスタSRXからシリアルデータが出力される出力端子SO1と、シフトレジス

タSRYへのシリアルデータが入力される入力端子SI2と、を備える。又、シフトレジスタSRX, SRYそれぞれのフリップフロップFF1, FF65の入力側に入力ドライバDinが設けられるとともに、シフトレジスタSRXのフリップフロップFF64の出力側に出力ドライバDoutが設けられる。

特許文献1:特開平5-229159号公報

## 発明の開示

### 発明が解決しようとする課題

[0005] しかしながら、図8のようにシフトレジスタSRX, SRYが構成される半導体集積回路装置100において、シフトレジスタSRXからシフトレジスタSRYに対してシリアルデータを入力して128ビットのシフトレジスタを構成する場合、半導体集積回路装置100の外部において、出力端子SO1と入力端子SI2とを外部基盤配線で接続する必要がある。そのため、シフトレジスタSRXの出力バッファDoutとシフトレジスタSRYの入力バッファDinと外部基盤配線などの外部寄生負荷容量とによるデータ転送における遅延が発生してしまう。

[0006] このとき、クロック入力端子CLKから入力されるクロックと、フリップフロップFF64の入力si64及び出力so64と、フリップフロップFF65の入力si65及び出力so65との関係が、図9又は図10のようになる。即ち、図9のようにクロックの周波数が低いとき、フリップフロップFF64は、図9(a)のように変化するクロックがハイに立ち上がってからセットアップ時間tが経過すると、図9(c)のように、クロックがハイに立ち上がるときの図9(b)のような入力si64の値に応じた値に、出力so64を変化させる。

[0007] 又、図9(d)のように、このフリップフロップFF64からの出力so64が時間tdだけ遅延して、フリップフロップFF65の入力si65として入力される。そして、フリップフロップFF64と同様、クロックがハイに立ち上がってからセットアップ時間tが経過すると、図9(e)のように、クロックがハイに立ち上がるときの図9(d)のような入力si65の値に応じた値に、出力so65を変化させる。

[0008] この図9の例では、図9(a)のようにクロックの周波数が低く、その周期Tがセットアップ時間tと遅延時間tdとの和( $=t+td$ )以上となるため、フリップフロップFF65の出

力so65をフリップフロップ64の出力so64に応じたものとすることできる。よって、データを欠落させることなくシフトレジスタSRX, SRYを動作させることができる。

[0009] それに対して、図10(a)のように、クロックの周波数を高くしてその周期Tがセットアップ時間tと遅延時間tdとの和( $=t+td$ )よりも短くなったとき、フリップフロップFF64では、その入力si64及び出力so64が図10(b)、(c)のようになり、クロックに応じた動作を行うことができる。しかしながら、フリップフロップFF65への入力si65が図10(d)のようになり、クロックの立ち上がりの後に入力si65が変化する。そのため、図10(e)のようになり、フリップフロップFF65の出力so65がフリップフロップFF64からの出力so64に応じたものとならない。よって、フリップフロップFF65でデータが欠落してしまう。

#### 課題を解決するための手段

[0010] このような問題を鑑みて、本発明は、複数のシフトレジスタが構成されて、そのシフトレジスタの出入力間を接続して動作させると、高周波についても誤動作なくシフトレジスタが駆動することができる半導体集積回路装置を提供することを目的とする。

[0011] 上記目的を達成するために、本発明の半導体集積回路装置は、第1ー第nシフトレジスタと、該第1ー第nシフトレジスタそれぞれに与えられるデータが入力される第1ー第n入力端子と、第k(kは、 $1 \leq k \leq n-1$ の整数)シフトレジスタの出力と第k+1シフトレジスタの入力との電気的な接離を行う第1スイッチと、前記第k+1シフトレジスタの入力と該第k+1シフトレジスタへのデータが入力される第k+1入力端子との電気的な接離を行う第2スイッチと、前記第1スイッチ及び前記第2スイッチのON/OFFを切り換えるための選択信号が入力される選択信号入力端子と、を備え、前記第kシフトレジスタと前記第k+1シフトレジスタを結合して使用する際は、前記選択信号によって、前記第1スイッチをONとするとともに、前記第2スイッチをOFFとし、又、前記第kシフトレジスタと前記第k+1シフトレジスタを分割して使用する際は、前記選択信号によって、前記第1スイッチをOFFとするとともに、前記第2スイッチをONとすることを特徴とする。

[0012] 又、本発明の半導体集積回路装置は、第1ー第nシフトレジスタと、該第1ー第nシフトレジスタそれぞれに与えられるデータが入力される第1ー第n入力端子と、第k+1(kは、 $1 \leq k \leq n-1$ )シフトレジスタへのデータが入力される第k+1入力端子の外部

との接続状態に応じて、前記第kシフトレジスタの出力と前記第k+1シフトレジスタの入力とを接続するか、又は、前記第k+1入力端子と前記第k+1シフトレジスタの入力とを接続するかを切換制御する切換制御部を備えるとともに、前記第k+1入力端子が外

部と接続されていない開放状態であることを前記切換制御部が確認したとき、前記第kシフトレジスタの出力と前記第k+1シフトレジスタの入力とを接続するとともに、前記第k+1入力端子と前記第k+1シフトレジスタの入力との接続を切断し、前記第k+1入力端子が外部と接続されてデータが入力されていることを前記切換制御部が確認したとき、前記第kシフトレジスタの出力と前記第k+1シフトレジスタの入力との接続を切断するとともに、前記第k+1入力端子と前記第k+1シフトレジスタの入力とを接続することを特徴とする。

## 発明の効果

[0013] 本発明によると、複数のシフトレジスタが構成され、隣接するシフトレジスタの出力と入力との間における接続を内部で行うことができるため、従来のように、外部基盤配線によって接続する必要がない。よって、従来のように外部の寄生負荷容量などの影響によるシフトレジスタ間での遅延を抑制することができるため、隣接するシフトレジスタを連結して駆動する場合においても、周波数の高いクロックによって動作させることができる。又、本発明によると、外部からの入力をそれぞれのシフトレジスタに与えるか又は外部からの信号数をシフトレジスタの数より少ないものとし各シフトレジスタの入出力の接続させるかを選択することができる。よって、半導体集積回路装置内のシフトレジスタを分割して使用するか、又は、連結して使用するかを選択することができる。

[0014] 又、本発明によると、従来、各シフトレジスタからの出力を外部に出力するための出力端子を選択信号入力端子に変更して使用することができるため、従来の半導体集積回路装置と比較して、その端子数を増加させることなく実現することができる。更に、入力端子における外部との接続状態により切換を行えるものとすることで、選択信号を入力するための選択信号入力端子を削除することができ、その端子数を減らすことができる。

## 図面の簡単な説明

[0015] [図1]第1の実施形態のシフトレジスタを備えた半導体集積回路装置の内部構成を示すブロック回路図。

[図2]トランジスタスイッチの構成を示す回路図。

[図3]第1の実施形態のシフトレジスタを備えた半導体集積回路装置の別の内部構成を示すブロック回路図。

[図4]第2の実施形態のシフトレジスタを備えた半導体集積回路装置の内部構成を示すブロック回路図。

[図5]第2の実施形態のシフトレジスタを備えた半導体集積回路装置の別の内部構成を示すブロック回路図。

[図6]図5の半導体集積回路装置内部の抵抗をMOSトランジスタで構成したときの構成を示す図。

[図7]第2の実施形態のシフトレジスタを備えた半導体集積回路装置の別の内部構成を示すブロック回路図。

[図8]従来のシフトレジスタを備えた半導体集積回路装置の内部構成を示すブロック回路図。

[図9]図7の半導体集積回路内の一動作を示すタイミングチャート。

[図10]図7の半導体集積回路内の一動作を示すタイミングチャート。

## 符号の説明

[0016] 1, 1a, 1b 半導体集積回路装置  
2, 20 切換制御部

## 発明を実施するための最良の形態

[0017] <第1の実施形態>

本発明の第1の実施形態について、図面を参照して説明する。図1は、本実施形態の半導体集積回路装置の内部構成を示すブロック回路図である。

[0018] 図1の半導体集積回路装置1は、フリップフロップFF1～FF64と入力ドライバDin1とによって構成される64ビットのシフトレジスタSR1と、フリップフロップFF65～FF128によって構成される64ビットのシフトレジスタSR2と、シフトレジスタSR1へのシリアル

ルデータが入力される入力端子SI1と、クロックが入力されるクロック入力端子CLKと、シフトレジスタSR2へのシリアルデータが入力される入力端子SI2と、入力端子SI2からに接続された入力ドライバDin2と、フリップフロップFF64の出力とフリップフロップFF65の入力との間の電気的な接離を行うトランジスタスイッチSWAと、入力ドライバDin2とフリップフロップFF65の入力との間の電気的な接離を行うトランジスタスイッチSWBと、スイッチSWA, SWBのON/OFFを制御する選択信号が入力される選択信号入力端子SELと、選択信号入力端子SELに接続されたインバータInvと、を備える。

[0019] 尚、トランジスタスイッチSWA, SWBは、図2のように、PチャネルのMOSトランジスタTpとNチャネルのMOSトランジスタTnとが並列に接続されて構成される。そして、トランジスタスイッチSWAにおいて、MOSトランジスタTpのゲートにインバータInvで反転された選択信号が入力されるとともに、MOSトランジスタTnのゲートに選択信号入力端子SELを介して入力される選択信号が入力される。又、トランジスタスイッチSWBにおいて、MOSトランジスタTnのゲートにインバータInvで反転された選択信号が入力されるとともに、MOSトランジスタTpのゲートに選択信号入力端子SELを介して入力される選択信号が入力される。

[0020] このように接続されるとき、シフトレジスタSR1, SR2によって128ビットのシフトレジスタを構成するとき、選択信号入力端子SELより入力される選択信号がハイとされ、スイッチSWAをONとするとともに、スイッチSWBをOFFとする。よって、シフトレジスタSR1のフリップフロップFF64から出力されるデータがスイッチSWAを介してフリップフロップFF65の入力に入力される。

[0021] よって、半導体集積回路装置1内部で、フリップフロップFF64の出力とフリップフロップFF65の入力とが接続される。そのため、図8のような従来の構成と異なり、フリップフロップFF64の出力とフリップフロップFF65の入力との間の出力ドライバDout及び入力ドライバDinが省かれるとともに、半導体集積回路装置外部で外部基盤配線を介して接続する必要がないため、フリップフロップFF64の出力とフリップフロップFF65の入力との間で発生する遅延を防ぐことができる。

[0022] 又、シフトレジスタSR1, SR2によって64ビットの2つのシフトレジスタを構成し、シフ

トレジスタSR1, SR2それぞれに対して、入力端子SI1, SI2よりデータを入力するとき、選択信号入力端子SELより入力される選択信号がローとされ、スイッチSWAをOFFとするとともに、スイッチSWBをONとする。よって、入力端子SI2から入力されるデータが入力ドライバDin2及びスイッチSWBを介してフリップフロップFF65の入力に入力される。

[0023] このように構成することで、選択信号を切り換えることで、半導体集積回路装置1内に構成される複数のシフトレジスタを1つのシフトレジスタとして連結させて使用するとき、隣接するシフトレジスタの入出力間で発生するデータの遅延を抑制することができる。よって、クロックの周波数が高くなったときにおいても、隣接するするシフトレジスタの入出力間におけるデータの欠落を防ぐことができる。又、図8のような従来の構成において出力端子SO1として使用されていた端子を選択信号入力端子SELに置換することができる、従来と同数の端子を用いて構成することができる。

[0024] 尚、本実施形態において、2つの64ビットのシフトレジスタが半導体集積回路装置1内に構成されたものとしたが、64ビットのシフトレジスタと限定されるものでなく、ビット数の異なるシフトレジスタであっても構わない。又、トランジスタスイッチSWA, SWBについても、トランジスタスイッチに限らず、別の構成のスイッチとしても構わない。

[0025] 又、図3のように、n個のシフトレジスタSR1～SRnを備え、シフトレジスタSR1～SRnにおいて隣接するシフトレジスタの間に、n-1個のスイッチSWA1～SWAn-1及びn-1個のスイッチSWB1～SWBn-1が設けられるものとしても構わない。このとき、n-1個の選択信号入力端子SEL1～SELn-1とn-1個のインバータInv1～Invn-1が構成され、それぞれを介して与えられる選択信号及び反転された選択信号がスイッチSWA1～SWAn-1及びスイッチSWB1～SWBn-1に入力される。

[0026] 又、入力端子SI2～SIn及び入力ドライブDin2～DinnがシフトレジスタSR2～SRnに外部からデータ入力されるときに使用される。よって、スイッチSWA1～SWAn-1及びスイッチSWB1～SWBn-1のON/OFFを選択信号によって切り換えることで、シフトレジスタSR1～SRnを分割又は連結して、所望のビット数に応じたシフトレジスタを構成することができる。

[0027] 更に、このとき、設置される選択信号入力端子の数をn-1よりも少ないものとして、選択信号入力端子に入力される選択信号のパルス数によりスイッチSWA1～SWAn-1, SWB1～SWBn-1の切換を設定する切換制御部を備えるものとしても構わない。

＜第2の実施形態＞

本発明の第2の実施形態について、図面を参照して説明する。図4は、本実施形態の半導体集積回路装置の内部構成を示すブロック回路図である。尚、図4の半導体集積回路装置において、図1の半導体集積回路装置と同一の目的で使用する部分については、同一の符号を付してその詳細な説明は省略する。

[0028] 図4の半導体集積回路装置1aは、シフトレジスタSR1, SR2と、入力端子SI1, SI2と、クロック入力端子CLKと、入力ドライバDin2と、トランジスタスイッチSWA, トランジスタスイッチSWBと、入力端子SI2の状態に応じてスイッチSWA, SWBのON/OFFを制御する選択信号を生成するとともに入力端子SI2に入力された信号を入力ドライバDin2に送出する切換制御部2と、切換制御部2からの選択信号を反転するインバータInvxと、を備える。又、切換制御部2からの選択信号がスイッチSWAのMOSトランジスタTpのゲート及びスイッチSWBのMOSトランジスタTnのゲートに入力されるとともに、インバータInvxで反転された選択信号がスイッチSWAのMOSトランジスタTnのゲート及びスイッチSWBのMOSトランジスタTpのゲートに入力される。

[0029] このような構成の半導体集積回路装置1aにおいて、切換制御部2は、次の3つの状態に応じて動作する。

(1)入力端子SI2が外部と接続されず、データが入力されていないとき(ハイインピーダンス状態)

(2)入力端子SI2に外部からハイとなるデータが入力されるとき(ハイ入力状態)

(3)入力端子SI2に外部からローとなるデータが入力されるとき(ロー入力状態)

(1)ハイインピーダンス状態のとき

切換制御部2からローとなる選択信号が出力されるため、スイッチSWAがONとなるとともにスイッチSWBがOFFとなる。よって、シフトレジスタSR1のフリップフロップFF64から出力されるデータが、シフトレジスタSR2のフリップフロップFF65の入力にス

イッチSWAを介して入力され、シフトレジスタSR1, SR2が連結されて、128ビットのシフトレジスタが構成される。

(2)ハイ入力状態のとき

切換制御部2からハイとなる選択信号が出力されるため、スイッチSWAがOFFとなるとともにスイッチSWBがONとなり、更に、入力端子SI2からのハイとなるデータが、入力ドライブDin2及びスイッチSWBを介してシフトレジスタSR2のフリップフロップFF65の入力に入力される。

(3)ロー入力状態の時

切換制御部2からローとなる選択信号が出力されるため、スイッチSWAがOFFとなるとともにスイッチSWBがONとなり、更に、入力端子SI2からのローとなるデータが、入力ドライブDin2及びスイッチSWBを介してシフトレジスタSR2のフリップフロップFF65の入力に入力される。

[0030] よって、(2)又は(3)のように入力端子SI2に外部からデータが入力されるとき、外部からのデータが、シフトレジスタSR2のフリップフロップFF65の入力に切換制御部2及び入力ドライブDin2及びスイッチSWBを介して入力され、シフトレジスタSR1, SR2が分割されて、64ビットのシフトレジスタが2つ構成される。

[0031] このように構成することで、本実施形態の半導体集積回路装置1aは、第1の実施形態の半導体集積回路装置1と比較したとき、選択信号が入力される選択信号入力端子SELを削除することができる。尚、トランジスタスイッチSWA, SWBについて、トランジスタスイッチに限らず、別の構成のスイッチとしても構わない。

(本実施形態における別の構成例)

又、本実施形態の別の構成例として、図5のような構成とすることで、トランジスタスイッチSWBを省略することができる。図5の半導体集積回路装置1bは、入力端子SI2に一端が接続された抵抗Ra, Rbと、抵抗Ra, Rbの接続ノードに入力側が接続されるインバータI1—I3と、インバータI3の出力が入力されるインバータI4と、インバータI2, I4の出力が入力されるEXOR回路EX1と、EXOR回路EX1の出力が入力されるインバータI5と、インバータI5からの出力がゲートに入力されるNチャネルのMOSトランジスタT1a及びPチャネルのMOSトランジスタT2aと、EXOR回路EX1の出

力がゲートに入力されるNチャネルのMOSトランジスタT1b及びPチャネルのMOSトランジスタT2bと、インバータI1からの出力がゲートに入力されるPチャネルのMOSトランジスタT3a及びNチャネルのMOSトランジスタT3bと、を備える。

[0032] 又、このように構成されるとき、抵抗Raの他端に電源電圧VDDが印加されるとともに抵抗Rbの他端が接地される。更に、インバータI2の出力がハイからローに切り替わる入力の閾値を3/4VDDとするとともに、インバータI3の出力がハイからローに切り替わる入力の閾値を1/4VDDとする。即ち、インバータI2への入力が0~3/4VDDのとき出力がハイとなり、逆に入力が3/4VDD~VDDのとき出力がローとなる。又、インバータI3への入力が0~1/4VDDのとき出力がハイとなり、逆に入力が1/4VDD~VDDのとき出力がローとなる。インバータI1, I4, I5については、入力に対する閾値が1/4VDD又は3/4VDDのいずれでも構わない。

[0033] 又、MOSトランジスタT1aのドレイン及びMOSトランジスタT1bのソースがシフトレジスタSR1のフリップフロップFF64の出力に接続されるとともに、MOSトランジスタT1aのソース及びMOSトランジスタT1bのドレインがシフトレジスタSR2のフリップフロップFF65の入力に接続される。又、MOSトランジスタT3aのソースに直流電圧VDDが印加されるとともに、MOSトランジスタT3aのドレインにMOSトランジスタT2aのソースが接続される。又、MOSトランジスタT3bのソースが接地されるとともに、MOSトランジスタT3bのドレインにMOSトランジスタT2bのソースが接続される。そして、MOSトランジスタT2a, T2bのドレインが、シフトレジスタSR2のフリップフロップFF65の入力に接続される。このとき、MOSトランジスタT1a, T1bによって、トランジスタスイッチが構成される。

#### (1) ハイインピーダンス状態のとき

このような構成において、入力端子SI2が外部からのデータが入力されないハイインピーダンス状態であるとき、抵抗Ra, Rbによって分圧された直流電圧VDD/2がインバータI1~I3に入力される。よって、インバータI2の出力がハイとなるとともに、インバータI3の出力がローとなる。そのため、インバータI3の出力が入力されるインバータI4の出力がハイとなって、インバータI2, I4の出力が入力されるEXOR回路EX1の出力がローとなる。更に、EXOR回路EX1の出力が入力されるインバータI5の出

力がハイとなる。

[0034] そして、MOSトランジスタT1b, T2bのゲートには、ローとなるEXOR回路EX1からの出力が入力されるため、MOSトランジスタT1bがONとなるとともにMOSトランジスタT2bがOFFとなる。又、MOSトランジスタT1a, T2aのゲートには、ハイとなるインバータI5からの出力が入力されるため、MOSトランジスタT1aがONとなるとともにMOSトランジスタT2aがOFFとなる。よって、このとき、フリップフロップFF64から出力されるデータがMOSトランジスタT1a, T1bによるトランジスタスイッチを介してフリップフロップFF65に入力される。

### (2) ハイ入力状態のとき

又、入力端子SI2が外部からのハイとなるデータが入力されるとき、このハイ(VDDに相当)となるデータがインバータI1—I3に入力される。よって、インバータI1—I3それぞれの出力がローとなるとともに、インバータI3の出力が入力されるインバータI4の出力がハイとなって、インバータI2, I4の出力が入力されるEXOR回路EX1の出力がハイとなる。更に、EXOR回路EX1の出力が入力されるインバータI5の出力がローとなる。

[0035] そして、MOSトランジスタT1b, T2bのゲートには、ハイとなるEXOR回路EX1からの出力が入力されるため、MOSトランジスタT1bがOFFとなるとともにMOSトランジスタT2bがONとなる。又、MOSトランジスタT1a, T2aのゲートには、ローとなるインバータI5からの出力が入力されるため、MOSトランジスタT1aがOFFとなるとともにMOSトランジスタT2aがONとなる。

[0036] 更に、MOSトランジスタT3a, T3bのゲートには、ローとなるインバータI1からの出力が入力されるため、MOSトランジスタT3aがONとなるとともにMOSトランジスタT3bがOFFとなる。よって、このとき、MOSトランジスタT2a, T3aを介して電源電圧VDD(ハイ)がフリップフロップFF65に入力される。

### (3) ロー入力状態のとき

又、入力端子SI2が外部からのローとなるデータが入力されるとき、このロー(0に相当)となるデータがインバータI1—I3に入力される。よって、インバータI1—I3それぞれの出力がハイとなるとともに、インバータI3の出力が入力されるインバータI4の出力

がローとなって、インバータI2, I4の出力が入力されるEXOR回路EX1の出力がハイとなる。更に、EXOR回路EX1の出力が入力されるインバータI5の出力がローとなる。

[0037] そして、MOSトランジスタT1b, T2bのゲートには、ハイとなるEXOR回路E X1からの出力が入力されるため、MOSトランジスタT1bがOFFとなるとともにMOSトランジスタT2bがONとなる。又、MOSトランジスタT1a, T2aのゲートには、ローとなるインバータI5からの出力が入力されるため、MOSトランジスタT1aがOFFとなるとともにMOSトランジスタT2aがONとなる。

[0038] 更に、MOSトランジスタT3a, T3bのゲートには、ハイとなるインバータI1からの出力が入力されるため、MOSトランジスタT3aがOFFとなるとともにMOSトランジスタT3bがONとなる。よって、このとき、MOSトランジスタT2b, T3bを介して接地電圧(ロー)がフリップフロップFF65に入力される。

[0039] よって、(2)又は(3)のように入力端子SI2に外部からデータが入力されるとき、MOSトランジスタT1a, T1bによるトランジスタスイッチがOFFされるとともに、外部からのデータが、シフトレジスタSR2のフリップフロップFF65の入力にインバータI1及びMOSトランジスタT2a, T2b, T3a, T3bを介して入力され、シフトレジスタSR1, SR2が分割されて、64ビットのシフトレジスタが2つ構成される。

[0040] このように構成されるとき、抵抗Ra, Rbをそれぞれ、図6のように、ゲートが接地されるとともにソースに電源電圧VDDが印加されたPチャネルのMOSトランジスタTaと、ゲートに電源電圧VDDが印加されるとともにソースが接地されたNチャネルのMOSトランジスタTbとで構成されるようにしても構わない。このMOSトランジスタTa, Tbのドレインが接続されるとともに、この接続ノードがインバータI1—I3の入力に接続される。

[0041] この図5のような構成によると、第1の実施形態の半導体集積回路装置1と比較したとき、選択信号が入力される選択信号入力端子SEL及びトランジスタスイッチSWB及び入力ドライブDin2を削除した構成とすることができる。

[0042] 尚、本実施形態において、2つの64ビットのシフトレジスタが半導体集積回路装置1内に構成されるものとしたが、64ビットのシフトレジスタと限定されるものでなく、ビッ

ト数の異なるシフトレジスタであっても構わない。

[0043] 又、図7のように、n個のシフトレジスタSR1～SRnを備え、シフトレジスタSR1～SRnにおいて隣接するシフトレジスタの間に、n-1個のスイッチSWA1～SWAn-1及びn-1個のスイッチSWB1～SWBn-1が設けられるものとしても構わない。又、入力端子SI2～SIn及び入力ドライブDin2～DinnがシフトレジスタSR2～SRnに外部からデータ入力されるときに使用される。

[0044] このとき、入力端子SI2～SInと接続された切換制御部20と切換制御部20からのn-1の選択信号それぞれが入力されるn-1個のインバータInvx1～Invxn-1が構成され、切換制御部20から与えられる選択信号及びインバータInvx1～Invxn-1で反転された選択信号がスイッチSWA1～SWAn-1及びスイッチSWB1～SWBn-1に入力される。よって、スイッチSWA1～SWAn-1及びスイッチSWB1～SWBn-1のON/OFFを入力端子SI2-1～SI2-n-1の状態によって切り換えることで、シフトレジスタSR1～SRnを分割又は連結して、所望のビット数に応じたシフトレジスタを構成することができる。

[0045] 更に、図5のようなインバータI1～I5及びEXOR回路EX1及びMOSトランジスタT1a～T3a, T1b～T3bによる論理回路を、n個のシフトレジスタSR1～SRnの内の隣接するシフトレジスタの入出力毎にn-1個設けるとともに、この論理回路1つに対して1つの入力端子を設けるようにしても構わない。

## 請求の範囲

[1] 第1ー第nシフトレジスタと、  
該第1ー第nシフトレジスタそれぞれに与えられるデータが入力される第1ー第n入力端子と、  
第k (kは、 $1 \leq k \leq n-1$ の整数)シフトレジスタの出力と第k+1シフトレジスタの入力との電気的な接離を行う第1スイッチと、  
前記第k+1シフトレジスタの入力と該第k+1シフトレジスタへのデータが入力される第k+1入力端子との電気的な接離を行う第2スイッチと、  
前記第1スイッチ及び前記第2スイッチのON/OFFを切り換えるための選択信号が入力される選択信号入力端子と、  
を備え、  
前記第kシフトレジスタと前記第k+1シフトレジスタを結合して使用する際は、前記選択信号によって、前記第1スイッチをONとするとともに、前記第2スイッチをOFFとし、  
又、前記第kシフトレジスタと前記第k+1シフトレジスタを分割して使用する際は、前記選択信号によって、前記第1スイッチをOFFとするとともに、前記第2スイッチをONとすることを特徴とする半導体集積回路装置。

[2] 前記第k+1入力端子と前記第2スイッチとの間に入力ドライバが設けられるとともに、前記第1シフトレジスタ内に入力ドライバが設けられることを特徴とする請求項1に記載の半導体集積回路装置。

[3] 前記第1及び第2スイッチをトランジスタスイッチとすることを特徴とする請求項1に記載の半導体集積回路装置。

[4] 第1ー第nシフトレジスタと、  
該第1ー第nシフトレジスタそれぞれに与えられるデータが入力される第1ー第n入力端子と、  
第k+1 (kは、 $1 \leq k \leq n-1$ )シフトレジスタへのデータが入力される第k+1入力端子の外部との接続状態に応じて、前記第kシフトレジスタの出力と前記第k+1シフトレジスタの入力とを接続するか、又は、前記第k+1入力端子と前記第k+1シフトレ

ジスタの入力とを接続するかを切換制御する切換制御部を備えるとともに、

前記第k+1入力端子が外部と接続されていない開放状態であることを前記切換制御部が確認したとき、前記第kシフトレジスタの出力と前記第k+1シフトレジスタの入力とを接続するとともに、前記第k+1入力端子と前記第k+1シフトレジスタの入力との接続を切断し、

前記第k+1入力端子が外部と接続されてデータが入力されていることを前記切換制御部が確認したとき、前記第kシフトレジスタの出力と前記第k+1シフトレジスタの入力との接続を切断するとともに、前記第k+1入力端子と前記第k+1シフトレジスタの入力とを接続することを特徴とする半導体集積回路装置。

[5] 前記第kシフトレジスタの出力と第k+1シフトレジスタの入力との電気的な接離を行う第1スイッチと、

前記第k+1シフトレジスタの入力と該第k+1シフトレジスタへのデータが入力される第k+1入力端子との電気的な接離を行う第2スイッチと、

を備え、

前記切換制御部から前記第1スイッチ及び前記第2スイッチのON/OFFを切り換える選択信号が outputされることを特徴とする請求項4に記載の半導体集積回路装置。

[6] 前記第2スイッチと前記第k+1シフトレジスタとの間に、前記第k+1入力端子から入力されるデータが前記切換制御部を介して与えられる入力ドライバが設けられるとともに、

前記第1シフトレジスタ内に入力ドライバが設けられることを特徴とする請求項5に記載の半導体集積回路装置。

[7] 前記第1及び第2スイッチをトランジスタスイッチとすることを特徴とする請求項5に記載の半導体集積回路装置。

[8] データが第1電圧と第2電圧の2値の信号よりなるデータであるとき、前記切換制御部が、

前記第k+1入力端子に一端が接続されるとともに他端に第1電圧が印加された第1抵抗と、

前記第k+1入力端子に一端が接続されるとともに他端が第2電圧が印加された第2抵抗と、

前記第1及び第2抵抗と前記第k+1入力端子との接続ノードの電圧が入力されるとともに前記第1及び第2抵抗による前記第1及び第2電圧の分圧電圧を検出したときに第1信号を出力するとともに前記第1又は第2電圧を検出したとき第2信号を出力する外部入力検出回路と、

前記第kシフトレジスタの出力と前記第k+1シフトレジスタの入力との間に接続されるとともに当該外部入力検出回路から前記第1信号が出力されたときONとなる第1スイッチと、

前記第1及び第2抵抗と前記第k+1入力端子との接続ノードの電圧が入力される第1インバータと、

前記第2電圧が第2電極に接続されるとともに制御電極に前記第1インバータの出力が接続された第1トランジスタと、

前記第1電圧が第2電極に接続されるとともに制御電極に前記第1インバータの出力が接続された前記第1トランジスタと逆極性の第2トランジスタと、

前記第1トランジスタの第1電極に一端が接続されるとともに他端が前記第k+1シフトレジスタの入力に接続されて前記外部入力検出回路から前記第2信号が入力されたときONとなる第2スイッチと、

前記第2トランジスタの第1電極に一端が接続されるとともに他端が前記第k+1シフトレジスタの入力に接続されて前記外部入力検出回路から前記第2信号が入力されたときONとなる第3スイッチと、

を備え、

前記第1スイッチがONのときに前記第2及び第3スイッチがOFFとなり、前記第1スイッチがOFFのときに前記第2及び第3スイッチがONとなることを特徴とする請求項4に記載の半導体集積回路装置。

[9] 前記第1電圧が前記第2電圧よりも高く、

前記外部入力検出回路が、

前記第1及び第2抵抗と前記第k+1入力端子との接続ノードの電圧が入力される

とともに前記第1及び第2抵抗による前記第1及び第2電圧の分圧電圧よりも高い電圧が入力されるとき前記第2電圧に相当するローを出力する第2インバータと、

前記第1及び第2抵抗と前記第k+1入力端子との接続ノードの電圧が入力されるとともに前記第1及び第2抵抗による前記第1及び第2電圧の分圧電圧よりも低い電圧が入力されるとき前記第1電圧に相当するハイを出力する第3インバータと、

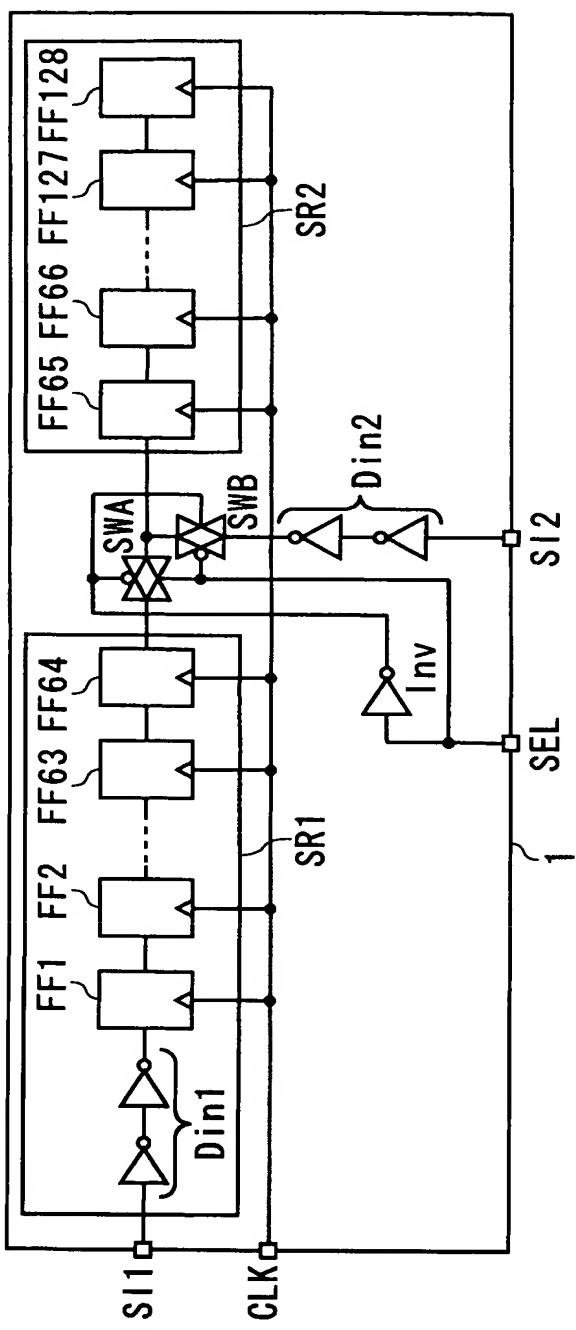
該第3インバータの出力が入力される第4インバータと、

前記第2インバータと前記第4インバータの出力が入力される排他的論理回路と

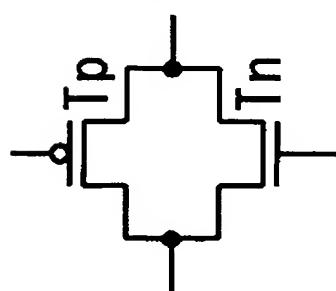
を備え、

前記排他的論理回路からの出力がハイとなるときに前記第1スイッチがOFFとなるとともに前記第2及び第3スイッチがONとなり、前記排他的論理回路からの出力がローとなるときに前記第1スイッチがONとなるとともに前記第2及び第3スイッチがOFFとなることを特徴とする請求項8に記載の半導体集積回路装置。

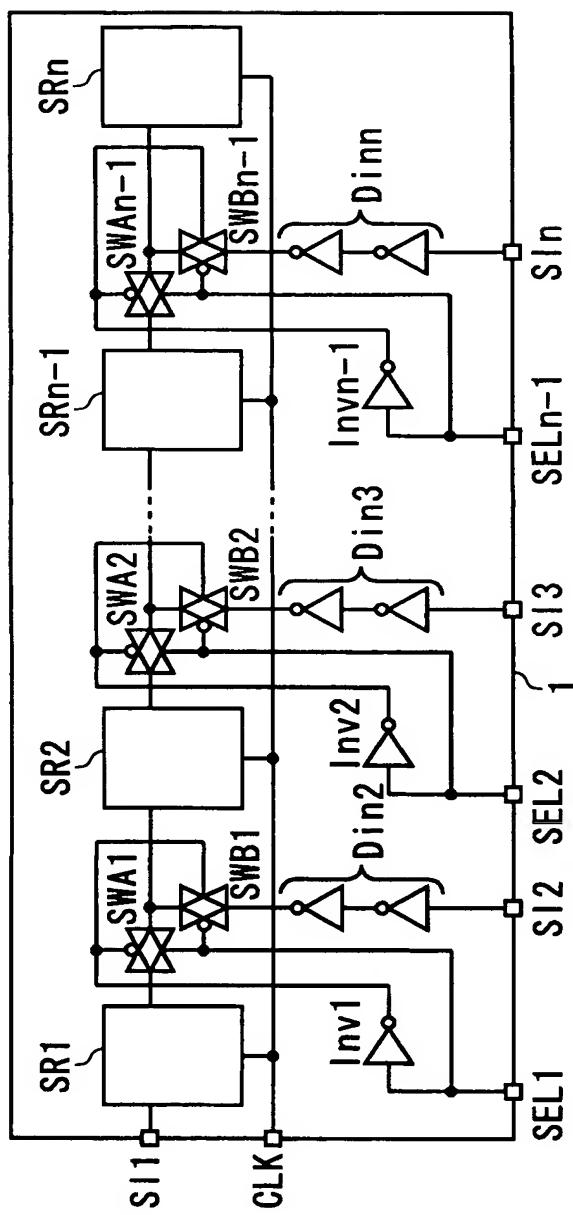
[図1]



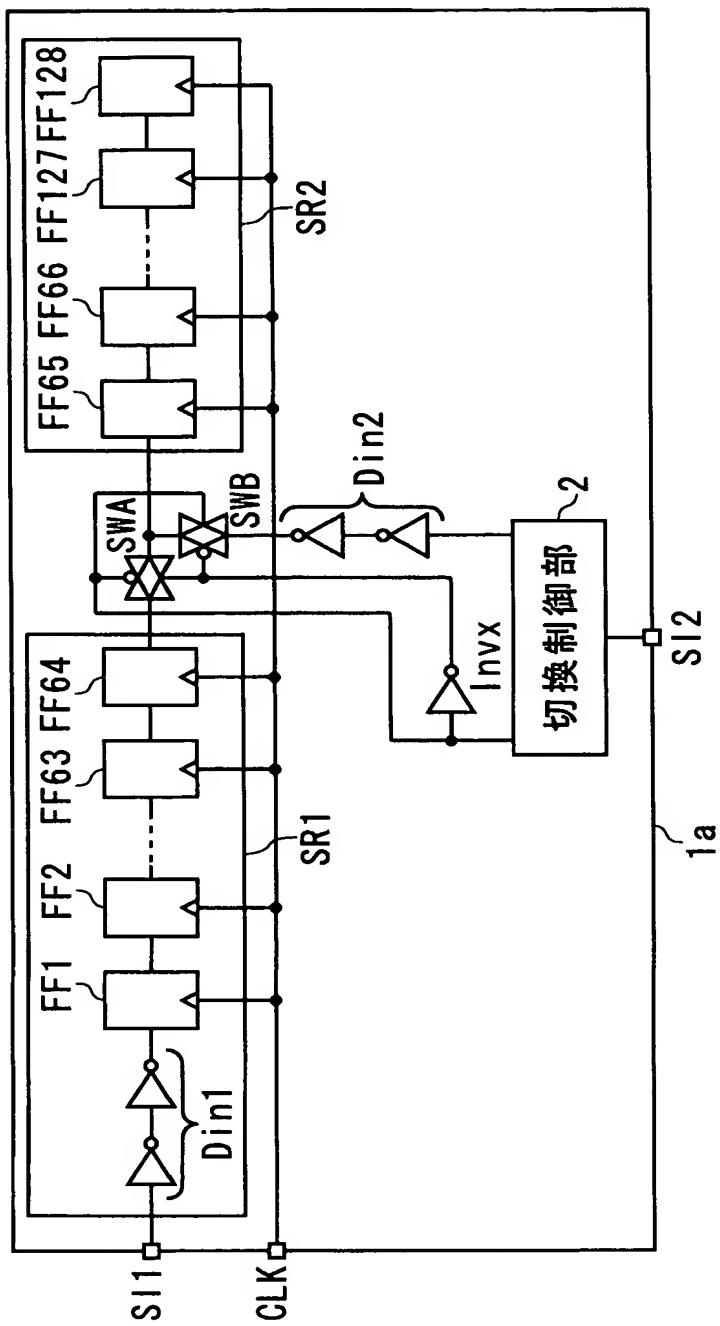
[図2]



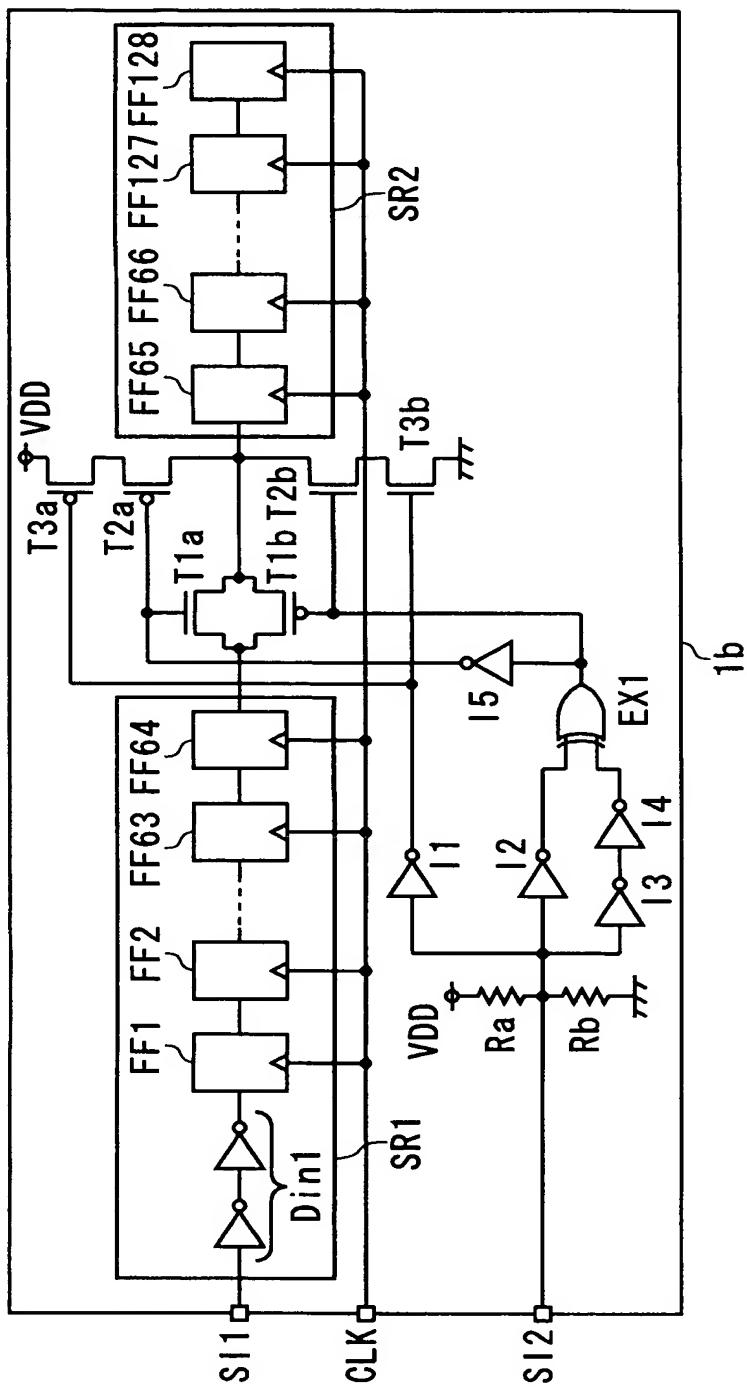
[図3]



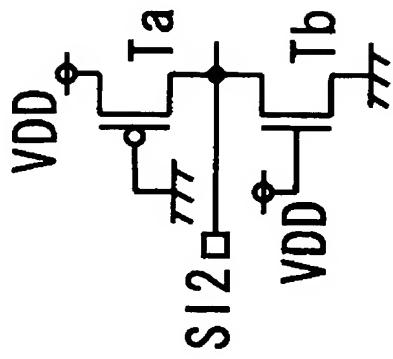
[図4]



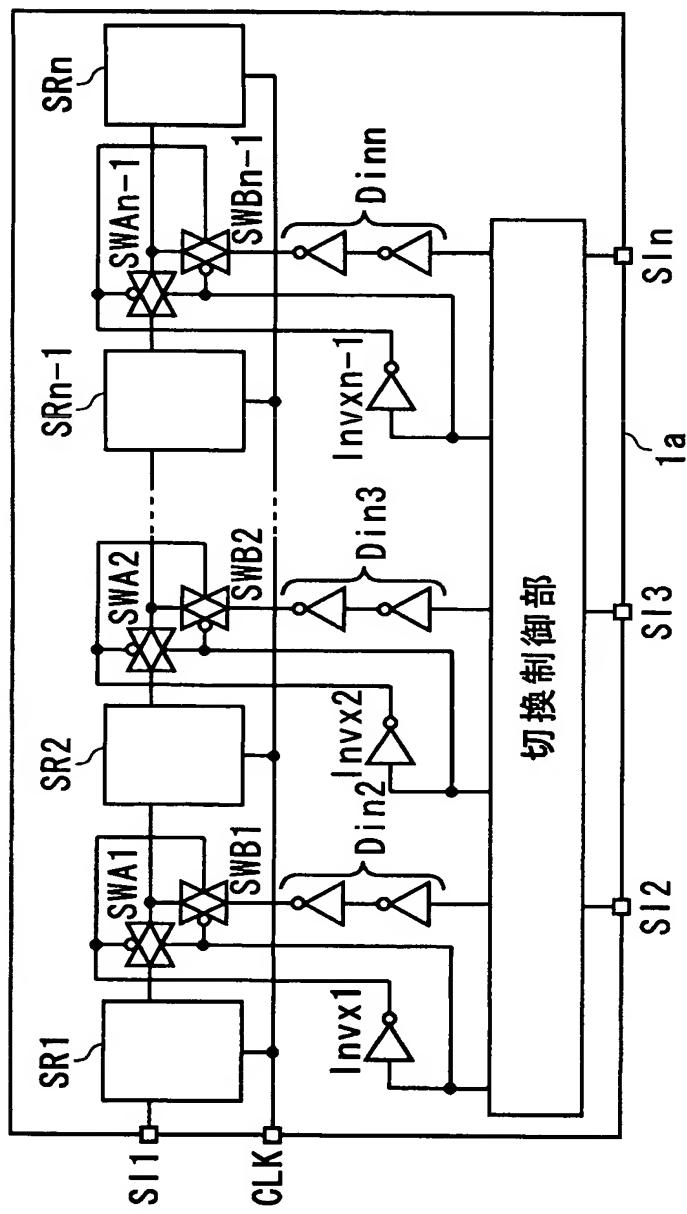
[図5]



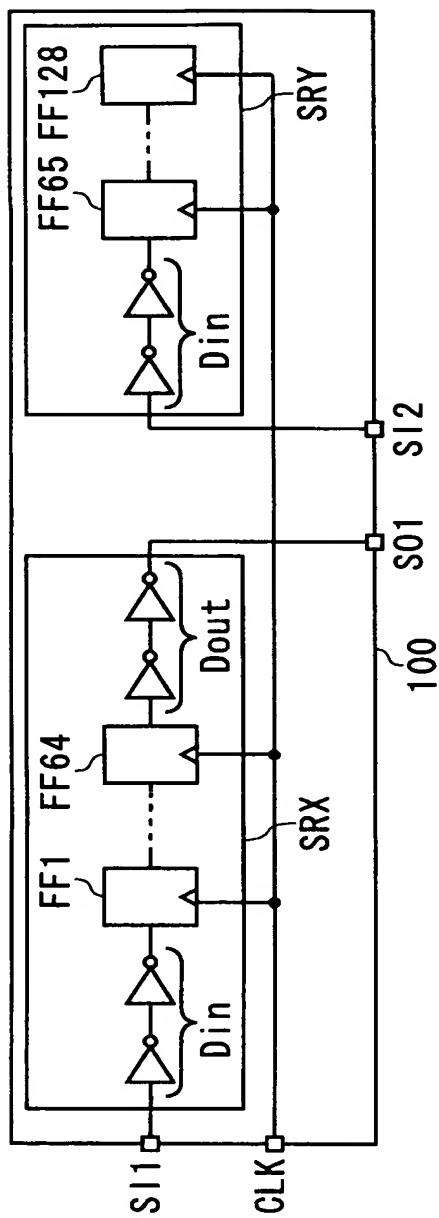
[図6]



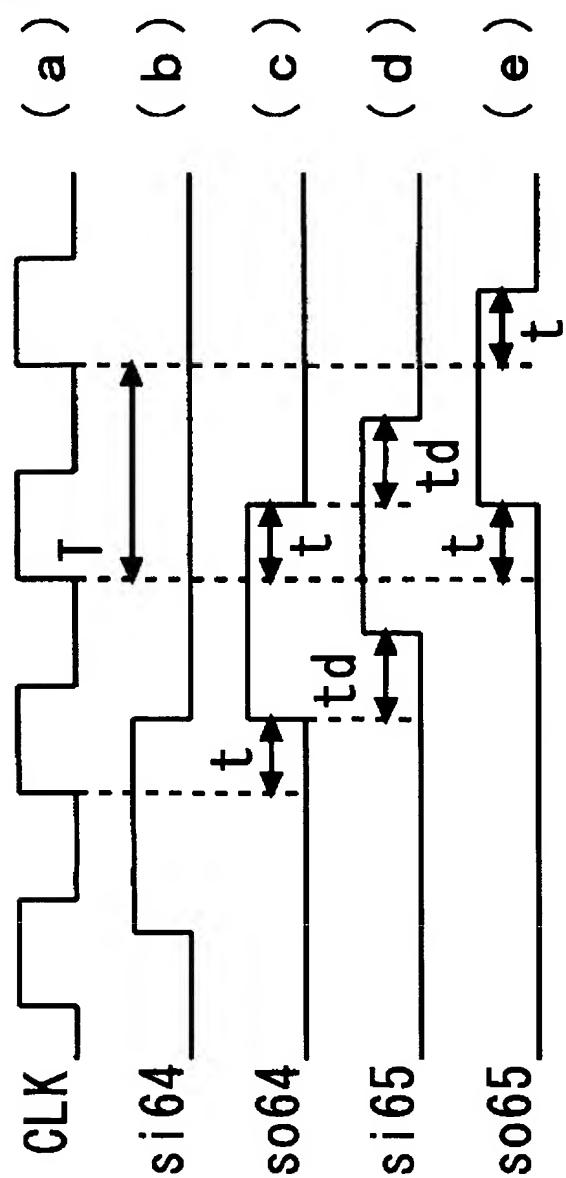
[図7]



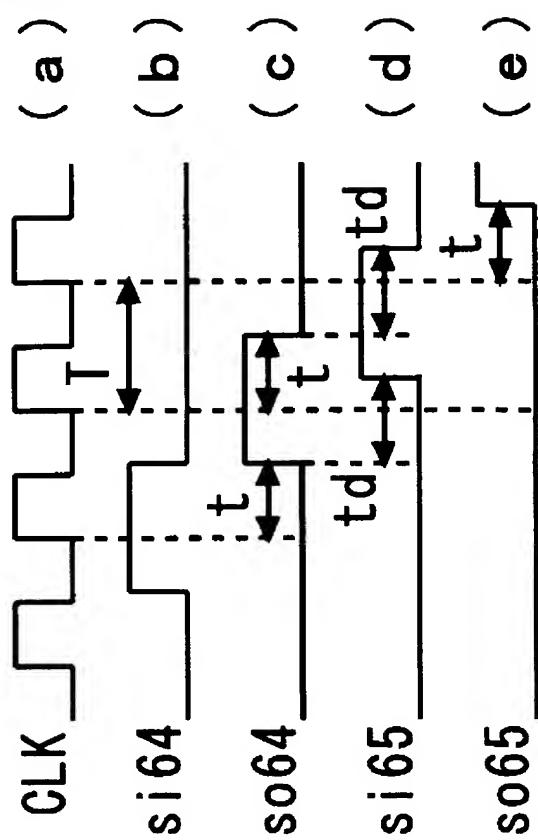
[図8]



[図9]



[図10]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010105

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H03M9/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H03M9/00, G11C19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim N°.
X A	JP 51-21466 A (Matsushita Electric Industrial Co., Ltd.), 20 February, 1976 (20.02.76), Full text; all drawings (Family: none)	1-3 4-9
A	JP 61-214622 A (Yokogawa-Hewlett-Packard, Ltd.), 24 September, 1986 (24.09.86), Page 2, lower left column, lies 16 to page 3, upper left column, line 4; Figs. 2, 3 (Family: none)	1-9

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
24 September, 2004 (24.09.04)Date of mailing of the international search report  
12 October, 2004 (12.10.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010105

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-141333 A (Sanyo Electric Co., Ltd.), 20 May, 1994 (20.05.94), Par. Nos. [0004] to [0006]; Fig. 2 & EP 595223 A2 & KR 199312 B1	1-9
P,A	JP 2004-140752 A (Denso Corp.), 13 May, 2004 (13.05.04), Full text; all drawings (Family: none)	1-9

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C1' H03M9/00

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C1' H03M9/00, G11C19/00

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 51-21466 A (松下電器産業株式会社), 1976.02.20, 全文, 全図 (ファミリーなし)	1-3 4-9
A	JP 61-214622 A (横河・ヒューレット・パッカード 株式会社), 1986.09.24, 第2頁左下欄第16行-第3 頁左上欄第4行, 第2図, 第3図 (ファミリーなし)	1-9

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

## 国際調査を完了した日

24. 09. 2004

国際調査報告の発送日 12.10.2004

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

北村 智彦

5K 9297

電話番号 03-3581-1101 内線 3555

## C (続き) 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 6-141333 A (三洋電機株式会社), 1994. 05. 20, 段落番号【0004】～段落番号【0006】，図2 &EP 595223 A2 &KR 199312 B1	1-9
PA	JP 2004-140752 A (株式会社デンソー), 2004. 05. 13, 全文, 全図 (ファミリーなし)	1-9